

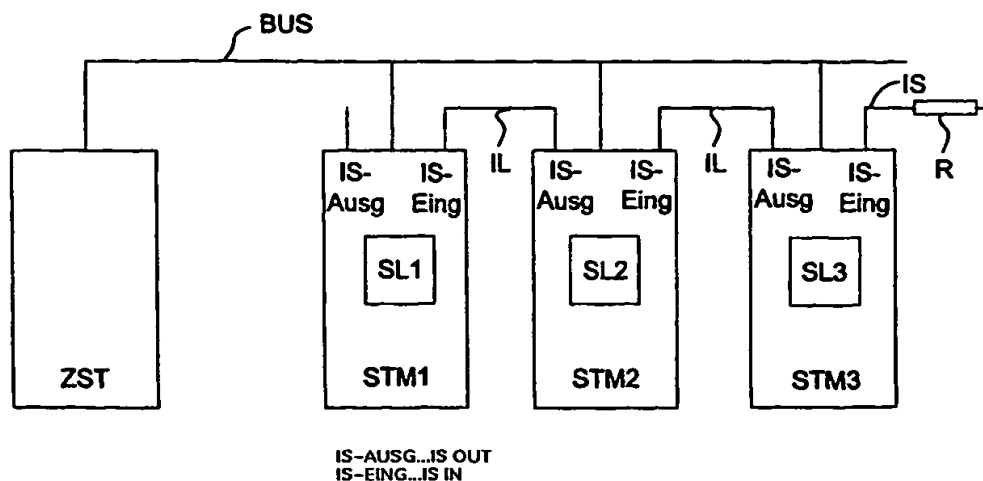
**PCT**  
 WELTORGANISATION FÜR GEISTIGES EIGENTUM  
 Internationales Büro  
 INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE  
 INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)



(51) Internationale Patentklassifikation <sup>7</sup> : <b>G05B 19/042</b>	<b>A1</b>	(11) Internationale Veröffentlichungsnummer: <b>WO 00/04428</b>  (43) Internationales Veröffentlichungsdatum: 27. Januar 2000 (27.01.00)
(21) Internationales Aktenzeichen: PCT/EP99/05056 (22) Internationales Anmeldedatum: 15. Juli 1999 (15.07.99)  (30) Prioritätsdaten: 198 31 811.1        15. Juli 1998 (15.07.98)        DE  (71) Anmelder (für alle Bestimmungsstaaten ausser US): OCÉ PRINTING SYSTEMS GMBH [DE/DE]; Siemensallee 2, D-85586 Poing (DE).  (72) Erfinder; und (75) Erfinder/Anmelder (nur für US): BEST, Amo [DE/DE]; Föhrenstrasse 22, D-85716 Lohhof (DE).  (74) Anwälte: SCHAUMBURG, Karl-Heinz usw.; Postfach 86 07 48, D-81634 München (DE).		(81) Bestimmungsstaaten: DE, JP, US, europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).  <b>Veröffentlicht</b> <i>Mit internationalem Recherchenbericht.</i> <i>Vor Ablauf der für Änderungen der Ansprüche zugelassenen</i> <i>Frist; Veröffentlichung wird wiederholt falls Änderungen</i> <i>eintreffen.</i>

(54) Title: METHOD AND SYSTEM FOR CONFIGURING A COMPUTER-AIDED SYSTEM

(54) Bezeichnung: VERFAHREN UND EINRICHTUNG ZUR KONFIGURATION EINES RECHNERGESTÜTZTEN SYSTEMS



(57) Abstract

The invention relates to a method and a system for recognizing the configuration, i.e. of the components contained in the system. A central controller (ZST) communicates with control modules (STM1, STM2, STM3) via a communication bus (BUS). An identification signal (IS) is transmitted from control module to control module. The respective control module (STM) comprising the existing identification signal (IS) presents the identification data thereof, upon which the central controller (ZST) allocates configuration addresses.

### (57) Zusammenfassung

Beschrieben wird ein Verfahren und ein System zum Erkennen der Konfiguration, d.h. der im System enthaltenen Komponenten. Eine zentrale Steuerung (ZST) kommuniziert über einen Kommunikationsbus (BUS) mit Steuermodulen (STM1, STM2, STM3). Ein Identifikationssignal (IS) wird von Steuermodul zu Steuermodul weitergereicht. Das jeweilige Steuermodul (STM) mit vorhandenem Identifikationssignal (IS) gibt seine Identifikationsdaten ab. Die zentrale Steuerung (ZST) vergibt daraufhin Konfigurationsadressen.

### LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

## Beschreibung

Verfahren und Einrichtung zur Konfiguration eines rechnergestützten Systems

5

Die Erfindung betrifft ein Verfahren zum Erkennen der Konfiguration eines rechnergestützten Systems, insbesondere eines Hochleistungsdruckers, bei dem eine zentrale Steuerung über einen Kommunikationsbus mit mehreren nach Art einer Kette hintereinander geschalteten Steuermodulen verbunden ist. Ferner betrifft die Erfindung ein System, welches dieses Verfahren anwendet. Die Erfindung kann in Form von Computerprogrammelementen zur Anwendung kommen.

15 Die spezielle Ausstattung eines computergestützten Systems mit verschiedenen Hardwarekomponenten wird allgemein mit Konfiguration bezeichnet. Die Konfiguration gibt also Auskunft darüber, mit welchen Komponenten das gesamte System bestückt ist und welche Komponenten miteinander in Wechselwirkung treten können. Zur Konfiguration gehören Konfigurationsdaten, anhand denen das System erkennen kann, welche Komponenten tatsächlich vorhanden sind und unter welcher Adresse mit ihnen ein Datenverkehr erfolgen kann.

25 Herkömmliche rechnergestützte Systeme werden nur bei der Herstellung konfiguriert. Der Benutzer eines solchen Systems kann nur mit erheblichen Einschränkungen nachträglich Änderungen ausführen. Dieser Nachteil tritt insbesondere bei Hochleistungsdrucksystemen deutlich hervor. Die mechanischen und elektronischen Komponenten solcher Hochleistungsdrucksysteme werden auf Seiten des Herstellers einmalig zusammengestellt und die Konfiguration somit festgelegt; eine spätere Änderung der Anordnung der verschiedenen Komponenten und damit eine neue Konfiguration ist durch den Benutzer nur mit  
35 hohem Aufwand möglich.

Aus der DE-C- 44 07 895 ist ein Informationsdatennetz bekannt, das mehrere Netzknoten enthält. Die Netzknoten aktivieren sich dabei gegenseitig der Reihe nach, um ihre jeweilige Knotenkennung aus einem zentralen Computer zu übermitteln.  
5

Aus der DE-A-196 49 676 ist ein System mit einer Zentraleinheit und mehreren Peripherieeinheiten bekannt, denen von der Zentraleinheit Adressen zugeleitet werden. Dazu ist eine erste Signalleitung vorgesehen, mit der eine parallele Verbindung (Busverbindung) zwischen der Zentraleinheit und den Peripherieeinheiten hergestellt wird. Mit einer zweiten Datenleitung wird eine Kaskadenverbindung zwischen der Zentraleinheit und den Peripherieeinheiten hergestellt. Dazu ist die Zentraleinheit seriell mit der ersten Peripherieeinheit zu verbinden, an der wiederum die nachfolgenden Peripherieeinheiten seriell angeschlossen sind.  
10  
15

Es ist Aufgabe der Erfindung, ein Verfahren und eine Einrichtung anzugeben, welche auf einfache Weise eine Änderung des Aufbaus der Komponentenzusammenstellung gestattet, wobei die neu entstandene Konfiguration selbsttätig erkannt und die Konfigurationsdaten erfaßt werden.  
20

Diese Aufgabe wird erfindungsgemäß durch ein Verfahren zum Erkennen der Konfiguration eines rechnergestützten Systems, insbesondere eines Hochleistungsdruckers, gelöst, bei dem eine zentrale Steuerung über einen Kommunikationsbus mit mehreren nach Art einer Kette hintereinander geschalteten Steuermodulen verbunden ist, jedes Steuermodul Identifikationsdaten bereithält, durch die die zentrale Steuerung und/oder die weiteren Steuermodule es identifizieren, die zentrale Steuerung über den Kommunikationsbus alle Steuermodule mithilfe einer Sammeladresse auffordert, Identifikationsdaten auszusenden, die Steuermodule durch eine Identifikationsleitung untereinander verbunden werden, sämtliche Steuerungsmodulen in einer Vorbereitungsphase passiv geschaltet werden, in welcher  
25  
30  
35

sie nach Aufforderung zur Identifikation keine Identifikationsdaten aussenden, jedes Steuermodul nach Erhalt eines separaten Identifikationssignals und nach Aufforderung zur Identifikation seine Identifikationsdaten abgibt, sich wieder in den passiven Zustand schaltet und über die Identifikationsleitung an das benachbarte Steuermodul das Identifikationssignal abgibt, das in der Kette am Ende stehende Steuermodul als erstes das Identifikationssignal erhält, und bei dem die zentrale Steuerung nach Erhalt der jeweiligen Identifikationsdaten eine Konfigurationsadresse für das jeweilige Steuermodul vergibt, unter der es von der zentralen Steuerung bzw. von den weiteren Steuermodulen angesprochen werden kann.

Bei der Erfindung sind die verschiedenen Steuermodule nach Art einer Kette oder "Party-Line" angeordnet. Die Steuermodule geben nach und nach entsprechend ihrer Anordnung in der Kette Identifikationsdaten ab, die eine eindeutige Zuordnung und Adressierung über den Kommunikationsbus ermöglichen. Da die Identifikationsdaten in der Reihenfolge der Anordnung abgegeben werden, ist auch der Ort des jeweiligen Steuermoduls innerhalb der Kette bekannt. Die zentrale Steuerung enthält eine Liste aller möglichen Steuermodule und kann so eine genaue Zuordnung dieser Steuermodule und deren Identifikationsdaten zu dieser Liste vornehmen. Auf diese Weise kann die zentrale Steuerung sowie gegebenenfalls auch die weiteren Steuermodule sämtliche Steuermodule innerhalb der Kette eindeutig identifizieren und bei Bedarf mit diesen kommunizieren.

Durch die Erfindung wird erreicht, daß die Konfiguration von Steuermodulen selbsttätig erkannt wird. Der Anwender kann ein komplexes System mit einer Vielzahl von Steuermodulen selbst zusammenstellen, ohne daß er genaue Systemkenntnisse besitzen muß, da das System die geänderte Konfiguration selbsttätig erkennen kann. Die Erfindung kann bei einer Vielzahl von Systemen vorteilhaft eingesetzt werden, insbesondere bei Systemen, deren Steuermodule anwendungsspezifisch zusammengestellt

werden müssen, beispielsweise bei rechnergestützten Systemen in Industrieanlagen, bei Liftanlagen, etc.. Insbesondere ergeben sich Vorteile bei einem Einsatz in einem Hochleistungsdrucksystem, bei dem je nach Anforderung des Drucks es verschiedene Zusammenstellungen von Hardwarestationen gibt.

Ein bevorzugtes Ausführungsbeispiel der Erfindung ist dadurch gekennzeichnet, daß die zentrale Steuerung nach Ablauf einer vorbestimmten Wartezeit, in welcher auf eine Anforderung zur Identifikation keine Identifikationsdaten an den Kommunikationsbus abgegeben werden, das Aussenden der Anforderung zur Identifikation abbricht. Durch diese Maßnahme wird ein Endekriterium definiert, bei dessen Auftreten die Selbstkonfiguration beendet ist und die zentrale Steuerung ihre weiteren Steueraufgaben übernimmt, bei denen es die Steuermodule gemäß den ermittelten Konfigurationsdaten anspricht.

Gemäß einem weiteren Erfindungsaspekt wird ein System nach Anspruch 3 angegeben, welches im wesentlichen das genannte Verfahren realisiert. Die genannten vorteilhaften Wirkungen stellen sich auch bei dem erfindungsgemäßen System ein.

Ausführungsbeispiele der Erfindung werden im folgenden anhand der Zeichnung erläutert. In dieser Zeichnung zeigt

Figur 1 ein Hochleistungsdruckersystem mit mehreren Stationen,

Figur 2 ein allgemeines Beispiel eines rechnergestützten Systems mit einem Kommunikationsbus, an welchen mehrere Steuermodule angeschlossen sind,

Figur 3 Verfahrensschritte zur Selbstkonfiguration des Systems nach Figur 2 und

Figur 4                    ein der Figur 2 entsprechendes System, das um eine zusätzliche Identifikationsleitung erweitert ist.

5    Figur 1 zeigt schematisch ein Hochleistungsdruckersystem mit einer zentralen Druckereinheit, welche im allgemeinen auch die zentrale Steuerung enthält. Eingangsseitig kann die Druckereinheit an verschiedenartige Eingabeeinheiten A, B, C angeschlossen werden. Diese Eingabeeinheiten A, B, C können  
10   sich z.B. darin unterscheiden, welche Art von Papier zu bedrucken ist, z.B. verschiedene Blattformate, gefalztes Papier oder Papier von einer Rolle, das später nach dem Drucken auf das erforderliche Längenformat zugeschnitten wird. Im vorliegenden Fall ist das Hochleistungsdruckersystem so konfiguriert, daß die Eingabeeinheit B eingangsseitig an die Druckereinheit angeschlossen ist.  
15

Ausgangsseitig kann an die Druckereinheit je nach Weiterverarbeitung des bedruckten Papiers eine Hefteinheit D, eine  
20   Falzeinheit E, eine Sortiereinheit F und/oder eine Stanzeinheit G angeschlossen sein. Im vorliegenden Fall ist die Sortiereinheit F angeschlossen, d.h. das bedruckte Papier wird in der Sortiereinheit F zu Bündeln sortiert.

25   Ebenso können an das Hochleistungsdruckersystem unterschiedliche Ausgabeeinheiten H, I angeschlossen sein. Im vorliegenden Fall ist die Ausgabeeinheit I angeschlossen.

In dem in Figur 1 gezeigten Fall ist unter einer Vielzahl von  
30   Konfigurationen eine dargestellt, welche die zentrale Druckereinheit mit den Einheiten B, F und I verbindet. Es ist leicht einzusehen, daß ein Anwender je nach Anwendungsfall unterschiedliche Konfigurationen erzeugen möchte, ohne daß er aufwendige Arbeiten durchführen muß, um einer zentralen  
35   Steuerung die gewählte Konfiguration und die erforderlichen Konfigurationsdaten mitzuteilen. Die in Figur 1 gezeigten

Einheiten A bis I werden bei der folgenden Betrachtung eines allgemeinen Ausführungsbeispiels als Steuermodule bezeichnet.

Figur 2 zeigt ein allgemeines Ausführungsbeispiel, bei dem eine zentrale Steuerung ZST über einen Kommunikationsbus BUS nach Art einer offenen Kette, die auch als Party-Line bezeichnet wird, mit verschiedenen Steuermodulen STM1, STM2, STM3 verbunden ist. Als Kommunikationsbus kann z.B. ein Datenbus nach dem Standard SDLC (Serial Data Link Communication), CAN (Controller Area Network) oder V.24 verwendet werden. Jedes Steuermodul (STM1, STM2, STM3) hat neben seinem Anschluß für den Kommunikationsbus BUS einen Eingangsanschluß IS-EING für ein Identifikationssignal IS sowie einen Ausgangsanschluß IS-AUSG für das Identifikationssignal IS. Der Ausgangsanschluß IS-AUSG ist mit dem Eingangsanschluß IS-EING des in der Kette der Steuermodule benachbarten Steuermoduls durch eine Identifikationsleitung IL verbunden. Beispielsweise ist der Ausgangsanschluß IS-AUSG des Steuermoduls STM3 über die Identifikationsleitung IL mit dem Eingangsanschluß IS-EING des Steuermoduls STM2 verbunden. Als Identifikationssignal IS kann beispielsweise ein festes Potential verwendet werden, welches sich aus einem konstanten Strom, der über einen Widerstand R gegen Masse fließt, ergibt. Die Verbindung der Steuermodule STM1, STM2, STM3 erfolgt also zum einen parallel durch den Kommunikationsbus BUS und zum anderen seriell durch die Identifikationsleitungen IL.

Zur Realisierung der Verbindungen unter den Steuermodulen STM1, STM2, STM3 und der Verbindung über den Kommunikationsbus BUS mit der zentralen Steuerung ZST ist vorgesehen, daß jedes Steuermodul STM1, STM2, STM3 einen mehrpoligen Steckeranschluss hat. Eine Gruppe von Steckerkontakten ist für den Kommunikationsbus BUS reserviert. Ein Steckeranschluss dient dann als Eingangsanschluß IS-EING und ein weiterer Steckeranschluss dient als Ausgangsanschluß IS-AUSG. Die zentrale Steuerung ZST und die Steuermodule STM1, STM2, STM3 sind dann nach Art einer offenen Kette durch mehrere Verbindungskabel



verbunden, die jeweils zwei Steckerausgänge der Steuermodule STM1, STM2, STM3 miteinander verbinden. Die Verbindungskabel sind dann von Steuermodul zu Steuermodul durchgeschleift. Der Stecker des Kabels, an welches das in der Kette am Ende stehende Steuermodul STM3 angeschlossen ist, hat dann die in Figur 2 gezeigte Beschaltung, gemäß der am Widerstand R der aktive Signalpegel für das Identifikationssignal IS erzeugt wird.

- 10 Jedes Steuermodul enthält eine Steuerlogik SL, die das Kommunikationsprotokoll des Busses BUS interpretiert, den Identifizierungsablauf innerhalb des Moduls steuert und mittels eines Schalters in der Lage ist, eine leitende Verbindung zwischen den Anschlüssen IS-EING und dem IS-AUSG des Moduls her-
- 15 zustellen oder zu trennen.

Ein geeignetes CAN-Bussystem für ein Hochleistungsdrucksystem ist in der WO-A-97/16771 beschrieben. Der Inhalt dieser Veröffentlichung wird hiermit durch Bezugnahme in die vorliegende Beschreibung aufgenommen.

20

Figur 3 zeigt in Form eines Flußdiagramms Ablaufschritte zur Selbstkonfigurierung. Die Selbstkonfigurierung wird jeweils bei Spannungswiederkehr vorgenommen. Gemäß Schritt 10 wird

25 nach dem Einschalten der Betriebsspannung zum Schritt 12 verzweigt, in welcher in einer Vorbereitungsphase die Zentralsteuerung initialisiert und sämtliche Steuermodule STM1, STM2, STM3 passiv geschaltet werden. Dies bedeutet, daß die Steuermodule STM1, STM2, STM3 über eine gemeinsame Sammel-

30 adresse angesprochen werden und ihnen mitgeteilt wird, daß sie nach Aufforderung zur Identifikation keine Identifikationsdaten aussenden dürfen, d.h. passiv geschaltet sind (Schritt 14, erster Teil). Das in der Kette am Ende stehende Steuermodul STM3 hat das Identifikationssignal IS an seinem

35 Eingangsanschluß IS-EING anliegen (Schritt 14, zweiter Teil).

Im nachfolgenden Schritt 16 spricht die zentrale Steuerung ZST über den Kommunikationsbus und eine für alle Steuermodule STM1, STM2, STM3 gemeinsame Sammeladresse diese Steuermodule an und fordert sie zur Abgabe von Identifikationsdaten auf.

5 Die Steuermodule STM1, STM2, STM3 sind jeweils mit einer internen Steuerlogik (SL1,SL2,SL3) ausgestattet, die es ihnen erlaubt, nur dann Identifikationsdaten abzugeben, wenn an ihrem jeweiligen Eingangsanschluß IS-EING das Identifikationssignal IS anliegt und wenn sie nicht bereits Identifikations-

10 daten gemäß dem Schritt 18 abgegeben hat. Diese Steuerlogik ist im allgemeinen durch einen Mikroprozessor realisiert, der Befehle eines Steuerprogramms abarbeitet. Zu Beginn hat nur das in der Kette am Ende stehende Steuermodul STM3 dieses Identifikationssignal IS anliegen, d.h. das Steuermodul STM3

15 sendet seine Identifikationsdaten aus, welche über den Kommunikationsbus BUS zur zentralen Steuerung ZST gelangen. Dort existiert eine Liste über alle für eine denkbare Konfiguration möglichen Steuermodule. Das Steuermodul STM3 wird entsprechend dieser Liste akzeptiert und ihm wird eine Konfigurationsadresse zugeordnet, unter der es von der zentralen

20 Steuerung ZST bzw. von den weiteren Steuermodulen zukünftig angesprochen werden kann (Schritt 18).

Im nachfolgenden Schritt 20 setzt das Steuermodul STM3 seinen

25 Ausgangsanschluß IS-AUSG von "0" auf "1", d.h. es gibt auf der Identifikationsleitung IL das Identifikationssignal IS an das in der Kette nachfolgende Steuerungsmodul ab (Schritt 20). Weiterhin gibt das Steuermodul STM3 eine Meldung über den Kommunikationsbus BUS an die zentrale Steuerung ab, daß

30 es das Identifikationssignal weitergegeben hat (Schritt 22, erster Teil). Zusätzlich ist die interne Steuerlogik des Steuermoduls STM3 so eingestellt, daß es auf weitere Aufforderungen zur Abgabe von Identifikationsdaten über die Sammeladresse nicht mehr reagiert, d.h. wieder passiv geschaltet ist.

35 Durch die drei zuletzt genannten Maßnahmen (Abgabe des IS-Signals, Meldung an die Zentralsteuerung und Passivschaltung) ist gewährleistet, daß in der Kette der Steue-

rungsmodule jeweils nur ein Modul auf die Aufforderung zur Abgabe von Identifikationsdaten reagiert, d.h., daß die Identifikation in der Kette der Steuerungsmodule der Reihe nach erfolgt. Nach Weitergabe des Identifikationssignals IS wird  
5 in dem jeweiligen Steuerungsmodul der Ausgangsanschluß IS-AUS vom Logikpegel "1" auf Logikpegel "0" zurückgesetzt.

Die genannten Schritte 16 bis 22 werden modulweise solange wiederholt, bis sämtliche Steuermodule STM1, STM2, STM3 ihre  
10 Identifikationsdaten abgegeben haben. Ist dies der Fall (Schritt 24), so ist die Selbstkonfiguration beendet (Schritt 26) und die zentrale Steuerung spricht die einzelnen Steuermodule STM1, STM2, STM3 gemäß dem vorgegebenen Steuerprogramm unter den jeweiligen Konfigurationsadressen an.

15 Als Abbruchkriterium für die Selbstkonfigurierung kann eine Wartezeit vorgesehen sein. Die zentrale Steuerung ZST wartet eine vorbestimmte Zeit nach Abgabe einer Anforderung zur Identifikation über die Sammeladresse ab. Werden auf dem Kommunikationsbus BUS keine Identifikationsdaten abgegeben, so  
20 ist dies ein Zeichen dafür, daß sämtliche an den Kommunikationsbus BUS angeschlossenen Steuermodule STM1, STM2, STM3 ihre Identifikationsdaten abgegeben haben und daß die gesamte Kette der Steuermodule abgearbeitet ist. Im Beispiel nach Figur 3 sind lediglich die Steuermodule angegeben. Selbstverständlich kann das Verfahren und das System nach der Erfindung beliebig viele Steuermodule umfassen.

Das Steuerprogramm ist insbesondere in Form von Computersoftware realisiert. Es kann als Datei über Netze verbreitet, auf  
30 einem Datenträger wie Diskette oder CD-ROM abgespeichert und insbesondere in Speicherbausteinen der Gerätesteuerung oder eines Computers, z.B. auf Festplatte, NV-ROM (Non Volatile Read Only Memory) oder in einem RAM-Baustein (Random Access  
35 Memory) abgelegt sein. Das Steuerprogramm kann auch als Programmelement in ein größeres Programm eingebunden sein.

Figur 4 zeigt ein Steuerungssystem, das die Komponenten der Figur 2 enthält. In diesem System ist jedoch eine zusätzliche Leitung IDENTACK vorgesehen, mit der ein Modul an die Zentralsteuerung eine Rückmeldung geben kann. Jedes Steuerungsmodul hat dazu einen zusätzlichen Ausgang IT-A, der mit der IDENTACK-Leitung verbunden ist. Bei dem Steuerungssystem gemäß Figur 4 verläuft die Selbstkonfigurierung wiederum entsprechend des Flußdiagramms bzw. Steuerungsprogramms gemäß Figur 3. Die Rückmeldung an die Zentralsteuerung, daß das Identifikationssignal IS an das in der Kette benachbarte Steuerungsmodul abgegeben ist (Schritt 22, erster Teil) erfolgt bei diesem Ausführungsbeispiel jedoch nicht über den Kommunikationsbus BUS, sondern über die IDENTACK-Leitung. Falls ein Modul das letzte in der Kette ist, so kann dies daran erkannt werden, daß nach dem Aktivieren der SIGIDENTOUT-Leitung kein Quittungssignal an der IDENTACK-Leitung mehr erscheint. Eine Rückmeldung bzw. das entsprechende Quittungssignal erfolgt durch die separate IDENTACK-Leitung mit hoher Übertragungssicherheit.

Statt der von allen Steuermodulen gemeinsam genutzten parallelen IDENTACK-Leitung können in einem weiteren Ausführungsbeispiel auch einzelne, zwischen den Modulen verlaufende IDENTACK-Leitungen vorgesehen sein. Jedes Modul hat dann jeweils einen IDENTACK-Eingang und einen IDENTACK-Ausgang und kann dem benachbarten Modul, von dem es das IS-Signal erhalten hat, eine Rückmeldung geben. Das benachbarte, bereits von der Zentralsteuerung in der Kette identifizierte Modul kann diese Rückmeldung dann über die Busleitung BUS an die Zentralsteuerung weitergeben. Die IDENTACK-Leitung ist dann keine parallele Busleitung mehr, sondern nur noch eine serielle, kaskaden- bzw. kettenartige Verbindung zwischen den Steuerungssystemen. Das erste Steuerungssystem STM 1 muß dabei nicht mehr an der Zentralsteuerung angeschlossen sein. Ist das erste Steuerungssystem dennoch mit einer IDENTACK-Leitung an die Zentralsteuerung angeschlossen, so kann die Rückmeldung der nachfolgenden Module kaskadenartig über die je-

weiligen IDENTACK-Leitungen zurück zur Zentralsteuerung erfolgen, ohne die Busleitung BUS zu verwenden.

Obwohl die Erfindung anhand eines Hochleistungsdrucksystems  
5 beschrieben wurde, kann sie auch in anderen Bereichen angewandt werden, in denen elektronisch gesteuerte Module flexibel zusammenwirken bzw. regelmäßig umgebaut werden müssen, beispielsweise in Fertigungsstraßen oder bei Kommunikations-einrichtungen.

## Bezugszeichenliste

	BUS	Kommunikationsbus
	ZST	zentrale Steuerung
5	SL1, SL2, SL3	Steuerlogiken
	STM1, STM2, STM3	Steuermodule
	IDENTACK	Leitung zur Rückmeldung
	IS-AUSG	Ausgangsanschluß für das Identifikationssignal
10	IS-EING	Eingangsanschluß für das Identifikationssignal
	IL	Identifikationsleitung
	IS	Identifikationssignal
	IT-A	IDENTACK-Ausgang
	R	Widerstand
15	10 - 26	Verfahrensschritte

## Ansprüche

1. Verfahren zum Erkennen der Konfiguration eines rechnerge-  
stützten Systems, insbesondere eines Hochleistungsdruck-  
5 kers,

bei dem eine zentrale Steuerung (ZST) über einen Kommuni-  
kationsbus (BUS) mit mehreren nach Art einer Kette hin-  
tereinander geschalteten Steuermodulen (STM1, STM2, STM3)  
10 verbunden ist,

jedes Steuermodul (STM1, STM2, STM3) Identifikationsdaten  
bereithält, durch die die zentrale Steuerung (ZST)  
und/oder die weiteren Steuermodule (STM1, STM2, STM3) es  
15 identifizieren,

die zentrale Steuerung (ZST) über den Kommunikationsbus  
(Bus) alle Steuermodule (STM1, STM2, STM3) mithilfe einer  
Sammeladresse auffordert, Identifikationsdaten auszusen-  
20 den,

die Steuermodule (STM1, STM2, STM3) durch eine Identifi-  
kationsleitung (IL) untereinander verbunden werden,

25 sämtliche Steuerungsmodule (STM1, STM2, STM3) in einer  
Vorbereitungsphase passiv geschaltet werden, in welcher  
sie nach Aufforderung zur Identifikation keine Identifi-  
kationsdaten aussenden,

30 jedes Steuermodul (STM1, STM2, STM3) nach Erhalt eines  
Identifikationssignals (IS) und nach Aufforderung zur  
Identifikation seine Identifikationsdaten abgibt, sich  
wieder in den passiven Zustand schaltet und über die  
Identifikationsleitung (IL) an das benachbarte Steuermo-  
35 dul (STM2, STM1) das Identifikationssignal (IS) abgibt,

das in der Kette am Ende stehende Steuermodul (STM3) als erstes das Identifikationssignal (IS) erhält,

und bei dem die zentrale Steuerung (ZST) nach Erhalt der jeweiligen Identifikationsdaten eine Konfigurationsadresse für das jeweilige Steuermodul (STM1, STM2, STM3) vergibt, unter der es von der zentralen Steuerung (ZST) bzw. von den weiteren Steuermodulen (STM1, STM2, STM3) angesprochen werden kann.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß die zentrale Steuerung (ZST) nach Ablauf einer vorbestimmten Wartezeit, in welcher auf eine Anforderung zur Identifikation keine Identifikationsdaten an den Kommunikationsbus (BUS) abgegeben werden, das Aussenden der Anforderung zur Identifikation abbricht.

3. System, insbesondere ein Hochleistungsdruckersystem,

bei dem eine zentrale Steuerung (ZST) über einen Kommunikationsbus (BUS) mit mehreren nach Art einer Kette hintereinander geschalteten Steuermodulen (STM1, STM2, STM3) verbunden ist,

jedes Steuermodul (STM1, STM2, STM3) Identifikationsdaten bereithält, durch die die zentrale Steuerung (ZST) und/oder die weiteren Steuermodule (STM1, STM2, STM3) es identifizieren,

die zentrale Steuerung (ZST) über den Kommunikationsbus (Bus) alle Steuermodule (STM1, STM2, STM3) mithilfe einer Sammeladresse auffordert, Identifikationsdaten auszusenden,

die Steuermodule (STM1, STM2, STM3) durch eine Identifikationsleitung (IL) untereinander verbunden sind,



sämtliche Steuerungsmodule (STM1, STM2, STM) in einer Vorbereitungsphase passiv geschaltet werden, in welcher sie nach Aufforderung zur Identifikation keine Identifikationsdaten aussenden,

5

jedes Steuermodul (STM1, STM2, STM3) nach Erhalt eines separaten Identifikationssignals (IS) und nach Aufforderung zur Identifikation seine Identifikationsdaten abgibt, sich wieder in den passiven Zustand schaltet und über die Identifikationsleitung (IL) an das benachbarte Steuermodul das Identifikationssignal (IS) abgibt,

10

das in der Kette am Ende stehende Steuermodul (STM3) als erstes das Identifikationssignal (IS) erhält,

15

und bei dem die zentrale Steuerung (ZST) nach Erhalt der jeweiligen Identifikationsdaten eine Konfigurationsadresse für das jeweilige Steuermodul (STM1, STM2, STM3) vergibt, unter der es von der zentralen Steuerung (ZST) bzw. von den weiteren Steuermodulen (STM1, STM2, STM3) angesprochen werden kann.

20

4. System nach Anspruch 3, dadurch gekennzeichnet, daß die zentrale Steuerung (ZST) nach Ablauf einer vorbestimmten Wartezeit, in welcher auf eine Anforderung zur Identifikation keine Identifikationsdaten an den Kommunikationsbus (BUS) abgegeben werden, das Aussenden der Anforderung zur Identifikation abbricht

25

5. System nach einem der Ansprüche 3 oder 4, dadurch gekennzeichnet, daß jedes Steuermodul (STM1, STM2, STM3) einen Eingangsanschluß (IS-EING) für das Identifikationssignal (IS) und einen Ausgangsanschluß (IS-AUSG) für das Identifikationssignal hat, daß der Ausgangsanschluß (IS-AUSG) mit dem Eingangsanschluß (IS-EING) des in der Kette der Steuermodule benachbarten Steuermoduls durch die Identifikationsleitung (IL) verbunden ist, wobei dem jeweiligen

30

35

Steuermodul (STM1, STM2, STM3) das Identifikationssignal (IS) an seinem Eingangsanschluß (IS-EING) zugeführt und an seinem Ausgangsanschluß (IS-AUSG) abgegeben wird.

- 5 6. System nach Anspruch 5, dadurch gekennzeichnet, daß der Eingangsanschluß (IS-EING) des in der Kette von Steuermodulen am Ende stehenden Steuermoduls (STM3) auf festes Potential gelegt ist, und daß dieses feste Potential als Identifikationssignal (IS) dient.
- 10 7. System nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß jedes Steuermodul (STM1, STM2, STM3) einen mehrpoligen Steckerausgang hat, daß eine Gruppe von Steckerkontakten für den Kommunikationsbus (Bus) vorgesehen ist, und daß ein Steckeranschluß als Eingangsanschluß (IS-EING) für das Identifikationssignal (IS) und ein weiterer Steckeranschluß für den Ausgangsanschluß (IS-AUSG) des Identifikationssignals (IS) vorgesehen sind.
- 15 8. System nach Anspruch 7, dadurch gekennzeichnet, daß die zentrale Steuerung (ZST) und die Steuermodule (STM1, STM2, STM3) nach Art einer offenen Kette durch mehrere Verbindungskabel verbunden sind, die jeweils zwei SteckerAusgänge der Steuermodulen verbinden.
- 20 9. System nach Anspruch 8, dadurch gekennzeichnet, daß der Stecker des Kabels, an welches das in der Kette am Ende stehende Steuermodul angeschlossen ist eine Beschaltung derart hat, daß am Eingangsanschluß für das Identifikationssignal der aktive Signalpegel erzeugt wird.
- 25 10. System nach Anspruch 9, dadurch gekennzeichnet, daß die Beschaltung durch einen ohmschen Widerstand R erfolgt.
- 30 11. System nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß als Kommunikationsbus ein Datenbus

nach dem Standard SDLC, CAN oder V.24 vorgesehen ist.

12. Computerprogrammelement zum Erkennen der Konfiguration  
eines rechnergestützten Systems, insbesondere eines  
5 Hochleistungsdruckers,

wobei in dem System eine zentrale Steuerung (ZST) über  
einen Kommunikationsbus (BUS) mit mehreren nach Art einer  
Kette hintereinander geschalteten Steuermodulen (STM1,  
10 STM2, STM3) verbunden ist,

jedes Steuermodul (STM1, STM2, STM3) Identifikationsdaten  
bereithält, durch die die zentrale Steuerung (ZST)  
und/oder die weiteren Steuermodule (STM1, STM2, STM3) es  
15 identifizieren,

die zentrale Steuerung (ZST) über den Kommunikationsbus  
(Bus) alle Steuermodule (STM1, STM2, STM3) mithilfe einer  
Sammeladresse auffordert, Identifikationsdaten auszusen-  
20 den,

die Steuermodule (STM1, STM2, STM3) durch eine Identifi-  
kationsleitung (IL) untereinander verbunden werden,

25 sämtliche Steuermodule (STM1, STM2, STM3) in einer Vorbe-  
reitungsphase passiv geschaltet werden, in welcher sie  
nach Aufforderung zur Identifikation keine Identifikati-  
onsdaten aussenden,

30 jedes Steuermodul (STM1, STM2, STM3) nach Erhalt eines  
Identifikationssignals (IS) und nach Aufforderung zur  
Identifikation seine Identifikationsdaten abgibt, sich  
wieder in den passiven Zustand schaltet und über die  
Identifikationsleitung (IL) an das benachbarte Steuermo-  
35 dul (STM2, STM1) das Identifikationssignal (IS) abgibt,

18

das in der Kette am Ende stehende Steuermodul (STM3) als  
erstes das Identifikationssignal (IS) erhält,

5 und bei dem die zentrale Steuerung (ZST) nach Erhalt der  
jeweiligen Identifikationsdaten eine Konfigurationsadres-  
se für das jeweilige Steuermodul (STM1, STM2, STM3) ver-  
gibt, unter der es von der zentralen Steuerung (ZST) bzw.  
von den weiteren Steuermodulen (STM1, STM2, STM3) ange-  
sprochen werden kann.

10

1/4

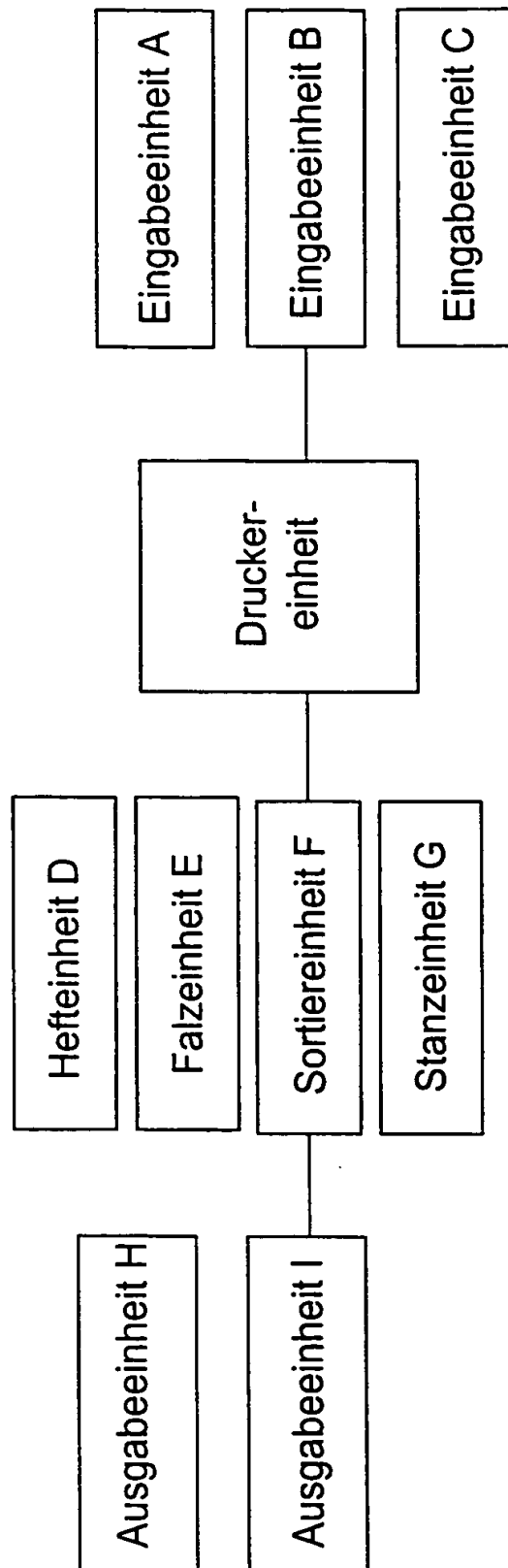


Fig. 1

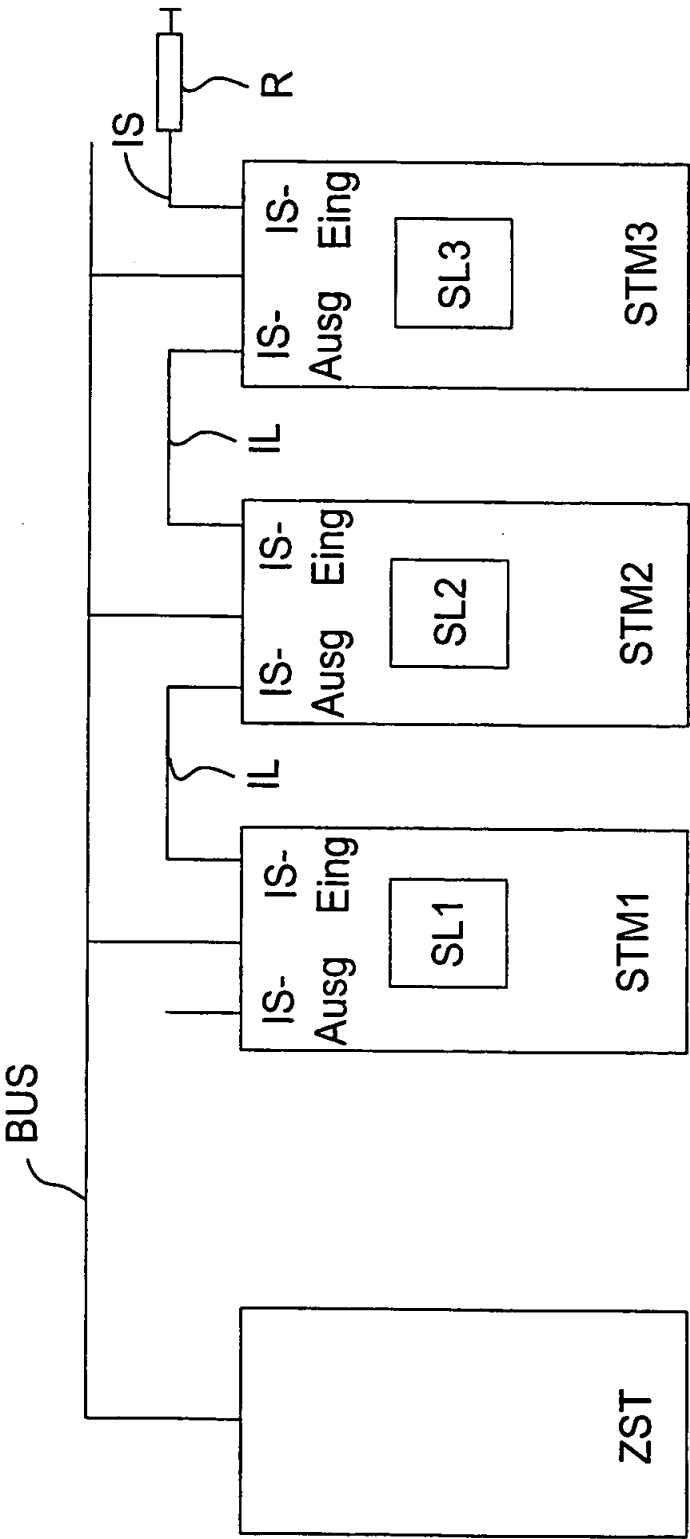


Fig. 2

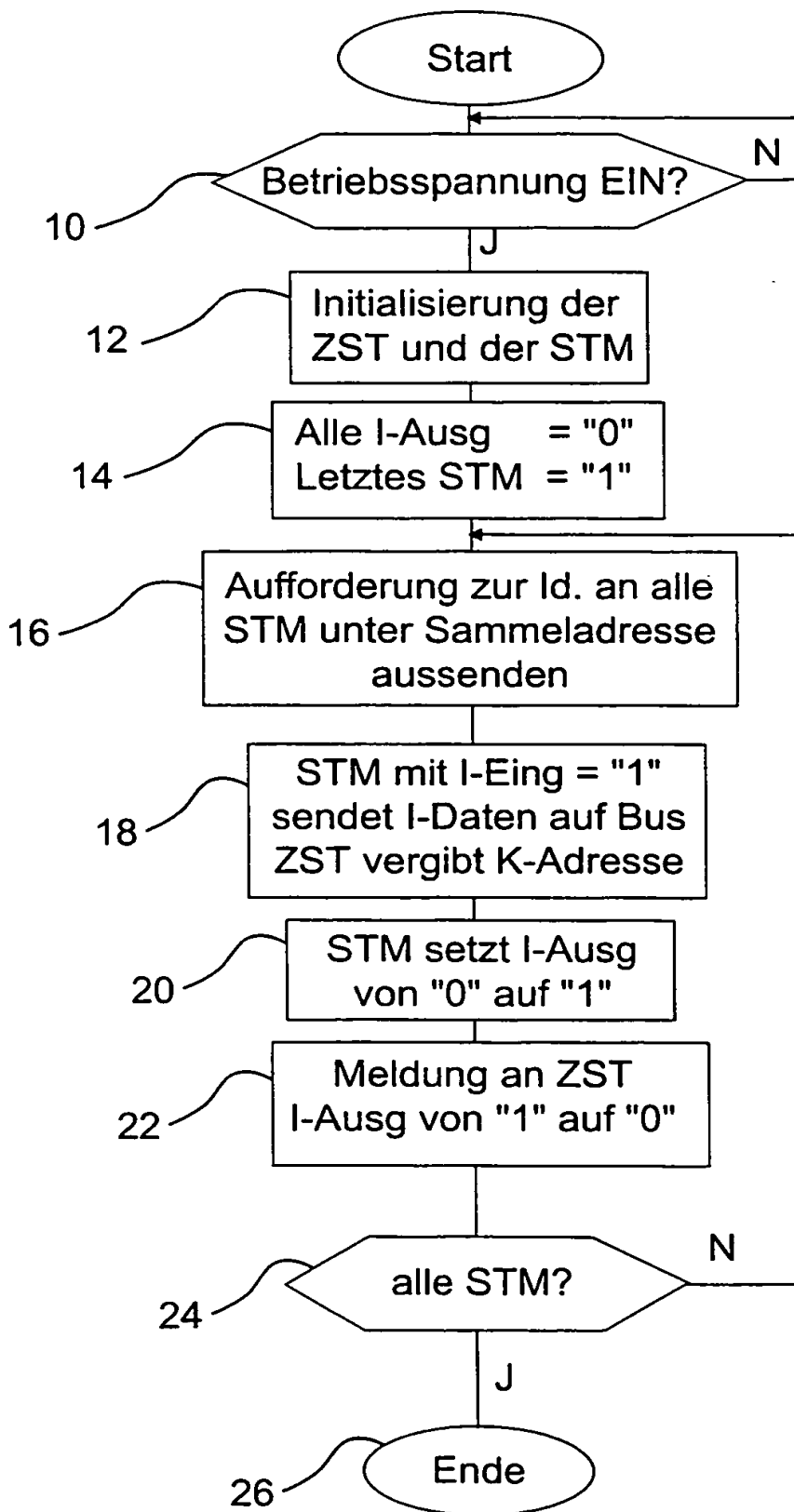


Fig. 3

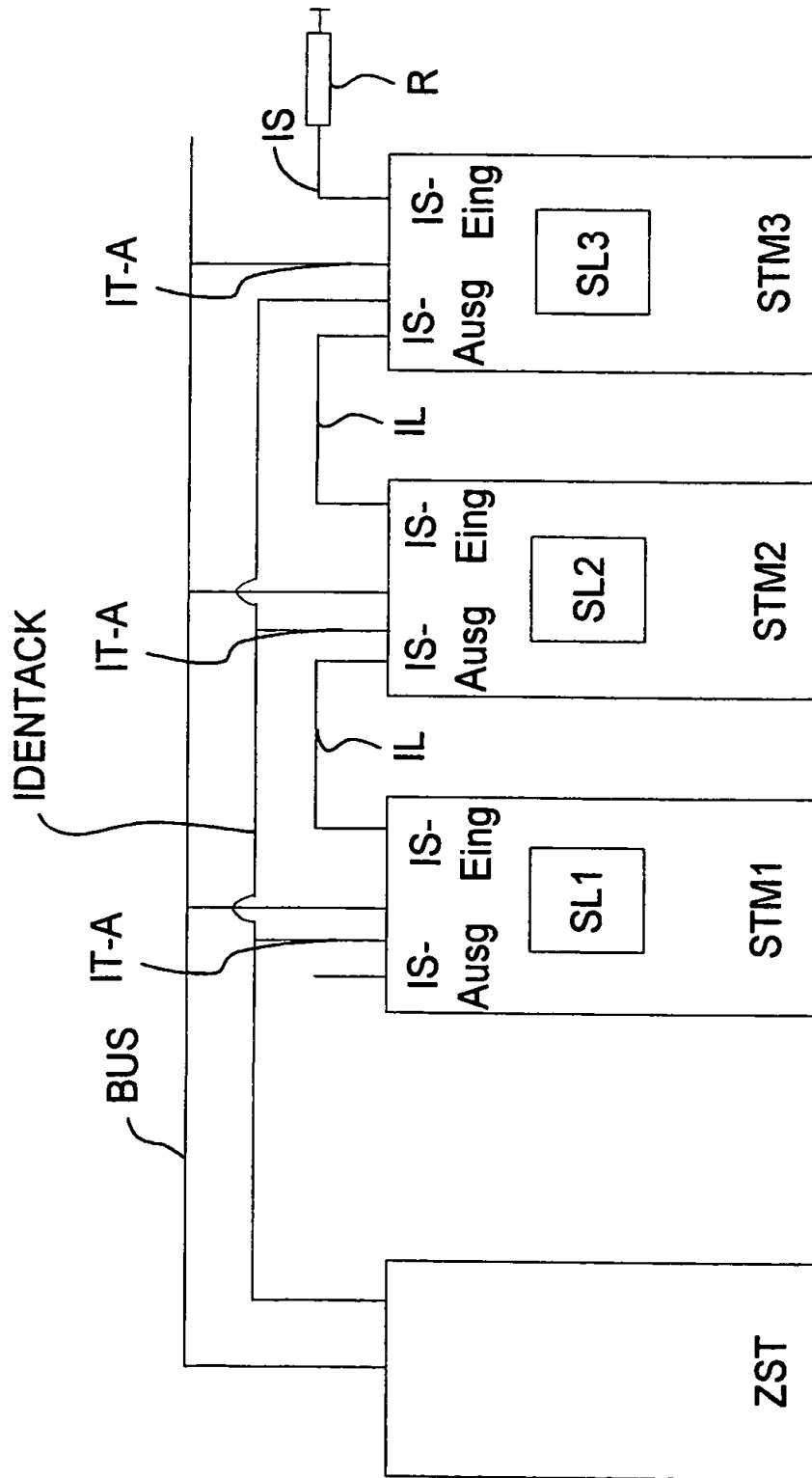


Fig. 4



**PCT/EP 99/05056**

# INTERNATIONAL SEARCH REPORT

In ternational Application No

PCT/EP 99/05056

## C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	DE 196 49 676 A (MATSUSHITA ELECTRIC WORKS LTD) 26 June 1997 (1997-06-26) cited in the application abstract	1-12

# INTERNATIONAL SEARCH REPORT

Information on patent family members

1 International Application No  
PCT/EP 99/05056

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5204669 A	20-04-1993	WO 9204675 A	19-03-1992
US 5249270 A	28-09-1993	NONE	
US 5452424 A	19-09-1995	DE 69130722 D	18-02-1999
		DE 69130722 T	22-07-1999
		EP 0478149 A	01-04-1992
		JP 4358252 A	11-12-1992
US 4660141 A	21-04-1987	NONE	
DE 19649676 A	26-06-1997	JP 9179810 A	11-07-1997
		CN 1157961 A	27-08-1997
		US 5862405 A	19-01-1999

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP 99/05056

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 G05B19/042

Nach der internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 G05B

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 204 669 A (DORFE STEVEN G ET AL) 20. April 1993 (1993-04-20) Spalte 5, Zeile 12 - Spalte 12, Zeile 46; Abbildungen 1,2,5,7,9	1,3,12
X	US 5 249 270 A (STEWART J MARCUS ET AL) 28. September 1993 (1993-09-28) Spalte 5, Zeile 53 - Spalte 6, Zeile 16; Abbildungen 1-3	1,3,12
A	US 5 452 424 A (GOEPPEL ANTON) 19. September 1995 (1995-09-19) Spalte 2, Zeile 34-68; Abbildung 3	1-12
A	US 4 660 141 A (CECCON CLAUDE R ET AL) 21. April 1987 (1987-04-21) Spalte 5, Zeile 11 - Spalte 6, Zeile 63; Abbildung 1	1-12
	-/-	

☒ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfindeterischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfindeterischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"Z" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

26. November 1999

Abschließdatum des internationalen Recherchenberichts

03/12/1999

Name und Postanschrift der internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5816 Patentaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Tran-Tien, T

# INTERNATIONALER RECHERCHENBERICHT

Int. :ionales Aktenzeichen

PCT/EP 99/05056

## C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>DE 196 49 676 A (MATSUSHITA ELECTRIC WORKS LTD) 26. Juni 1997 (1997-06-26)  in der Anmeldung erwähnt  Zusammenfassung</p>	1-12

Formblatt PCT/ISA/210 (Fortsetzung von Blatt 2) (Juli 1992)

# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 99/05056

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 5204669 A	20-04-1993	WO 9204675 A	19-03-1992
US 5249270 A	28-09-1993	KEINE	
US 5452424 A	19-09-1995	DE 69130722 D	18-02-1999
		DE 69130722 T	22-07-1999
		EP 0478149 A	01-04-1992
		JP 4358252 A	11-12-1992
US 4660141 A	21-04-1987	KEINE	
DE 19649676 A	26-06-1997	JP 9179810 A	11-07-1997
		CN 1157961 A	27-08-1997
		US 5862405 A	19-01-1999

3

cally separated independent from each other and are coupled only via the module 9.

FIG. 3 shows the program memory 92 of the module 9. As can be seen, the memory contains several software programs, each being provided to control motors, valves, sliders, interlocked switchgear etc. Depending on the position of the program selector switch 93, one of these control programs is operative such as for example a program for controlling a motor.

What is claimed is:

1. An electronic system for controlling several different devices comprising:

- a. a central processing unit;
- b. peripheral control elements, each being connected to at least one of said devices; and
- c. a peripheral bus interconnecting said central unit and said peripheral control elements, each said peripheral control element comprising:

4

(i) a connection module connected to said peripheral bus for exchanging messages with said central processing unit;

(ii) a control module connected to said connection module and having a control processing unit, a memory containing an operating system and several control programs, each program being provided to control one of said devices, and a selector switch, said control program being selectively activated by said selector switch;

(iii) first input/output modules coupled to said devices;

(iv) an internal bus for connecting said control module to said first input/output modules; and

(v) second input/output devices connected directly to said connection module.

2. The control system according to claim 1, wherein said periphery bus and said internal bus are mechanically and electronically independent from each other.

3. The control device according to claim 1, wherein said control module further comprises a separate voltage supply.

\* \* \* \* \*

25

30

35

40

45

50

55

60

65

## ELECTRONIC CONTROL SYSTEM FOR CONTROLLING SEVERAL REMOTE DEVICES

### BACKGROUND OF THE INVENTION

#### a. Field of Invention

The invention relates to an electronic control system for a subordinated control unit consisting of at least one central unit, several peripheral devices to which the equipment to be controlled are connected, and optionally a bus system for connecting the central unit and the peripheral devices.

#### b. Description of the Prior Art

With increasing automation in all branches of industry, for instance in chemistry, it becomes more and more important for reasons of availability to relocate certain standard functions such as the control of motors and valves, from a central unit to an individual control plane. In the individual control plane, processes required for normal operation can then be continued to be controlled even if the central unit fails. Through the use of individual control units (ESU) the central unit is additionally relieved of standard functions so that it can act only as the connecting member between the individual control planes. This frees the central unit for other purposes, for instance, for displaying the state of the process.

Heretofore the individual control planes were implemented with special modules developed for each individual function as required. Alternatively, a mixture of discrete circuits and special software were used in the central unit. A typical module of this type, for instance, for a periphery group for the direct control of proportional and servo valves is described, for instance, in the Journal Siemens-Energietechnik 1984, No. 2, pages 54 to 59.

### SUMMARY OF THE INVENTION

It is an object of the present invention to provide a system which can be realized with a control computer and several different subordinated individual control units constructed from a single device.

The present invention is based on a smart control unit with a voltage supply of its own which can be expanded and developed, depending on the requirements of the individual function, as desired in a modular manner with standard digital and/or analog input/output modules. In an embodiment of the invention, the inputs/output devices can also be part of the central unit. The central unit advantageously includes a separate microprocessor which receives the coordinating commands via the periphery or directly via another data interface. The processor evaluates these signals, interconnects them logically in accordance with preselected criteria and connects the individual control unit. Since the periphery bus of the central unit and the internal bus of the individual control plane are electrically and mechanically separated from each other, an independent fault diagnosis can be carried out for the individual control unit and displayed, for instance, via separate outputs.

The individual functions of the individual subordinate control unit which are required, for instance, for controlling for motors, valves, etc. are stored as software in the memory and are stored and recalled by way of hardware or from the central unit.

Thereby, depending on the state of development, practically any control function can be realized, i.e., input/output modules, signal generation, etc. By plug-

ging in input modules, also subordinate manual control units can be connected or additional interlocks can be made. With such a flexible and modular universal individual control plane and standard modules, any individual control function can be attained with the same hardware and software dedicated to the specified function. With a compact and enclosed design, the individual control unit can also be installed directly at the process site.

In summary, the system described above has the following advantages over conventional, known individual control members: depending on the function, modular expansion with standard peripheral modules is possible due to the connection of the individual control unit as a peripheral module, expensive coupling, for instance, via a serial interface is not required. Faults can be diagnosed and displayed separately for the central unit and the individual control units. Likewise, any desired display can be realized on the plan of the individual control unit. By a relatively simple expansion of the software, a change or supplementation of the individual control functions is also possible. The individual control units can be coupled to each other through the central unit.

### BRIEF DESCRIPTION OF THE DRAWINGS

The invention will be explained in greater detail in conjunction with the drawing, wherein:

FIG. 1 shows the basic block diagram of a control system constructed in accordance with the invention;

FIG. 2 shows the bus connection combined in a module carrier for an individual control unit; and

FIG. 3 shows the program memory of the control module.

### DETAILED DESCRIPTION OF THE INVENTION

As can be seen in FIG. 1, there is provided an electronic control system for controlling a process, having a central control unit 1, which may consist of a computer or other similar programmable controller. This central unit 1 is coupled via a bus system 5 with several modular remote control units 2 which are provided to control individual devices such as motors 3 or valve 4.

As it can be seen from FIG. 2, in which a block diagram of a modular carrier unit is shown, each remote control unit includes input/output modules 7 connected to the periphery bus 5. The bus 5 may be separated into a data bus 51 and an address bus 52, and is connected to the unit 2 by a modular connection 6, through which signals are fed. Additionally, an individual control unit 8 is provided on the modular carrier. This individual control unit 8 consists of a module 9 which is coupled on the one hand to the periphery bus 5 and on the other hand, to the data bus 81 and the address bus 82 of the individual control unit. Buses 81 and 82 are further connected input/output modules 10 which address the devices to be controlled such as motors 3. The smart module 9 which transacts the traffic between the central unit and the input/output modules 10, consists of a central processing unit 91 in the form of a processor and a program memory 92 which contains besides the operating system, a number of control function programs. The desired control function can be set by a program selection switch 93 or alternatively by central unit 1.

The periphery bus 5 and the bus system 81, 82 of the individual control plane are mechanically and electri-



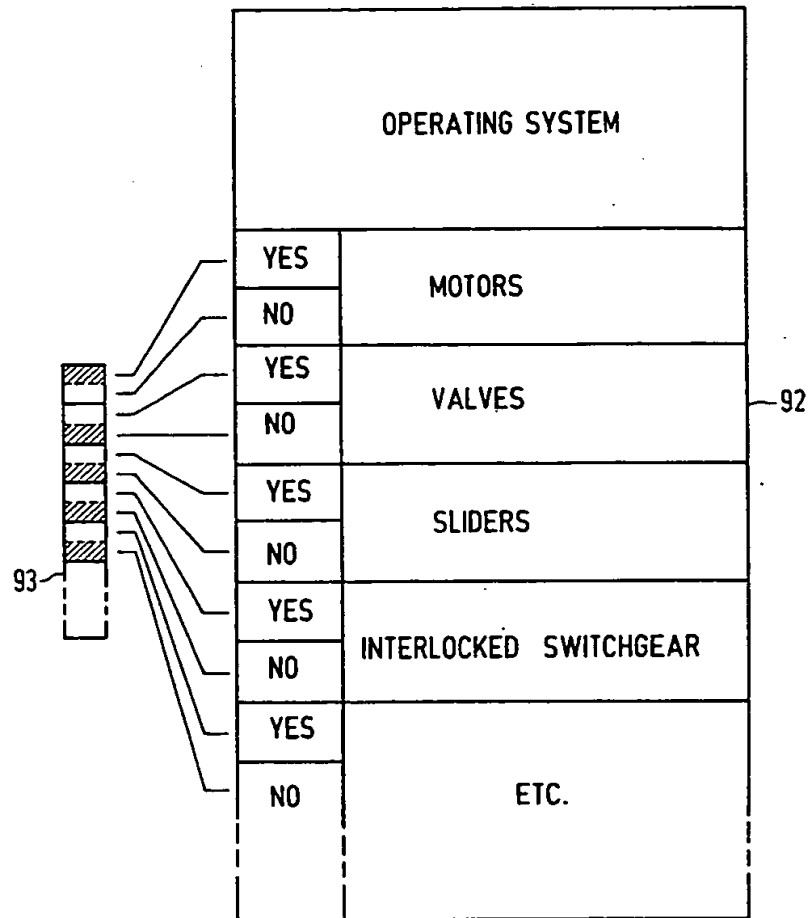
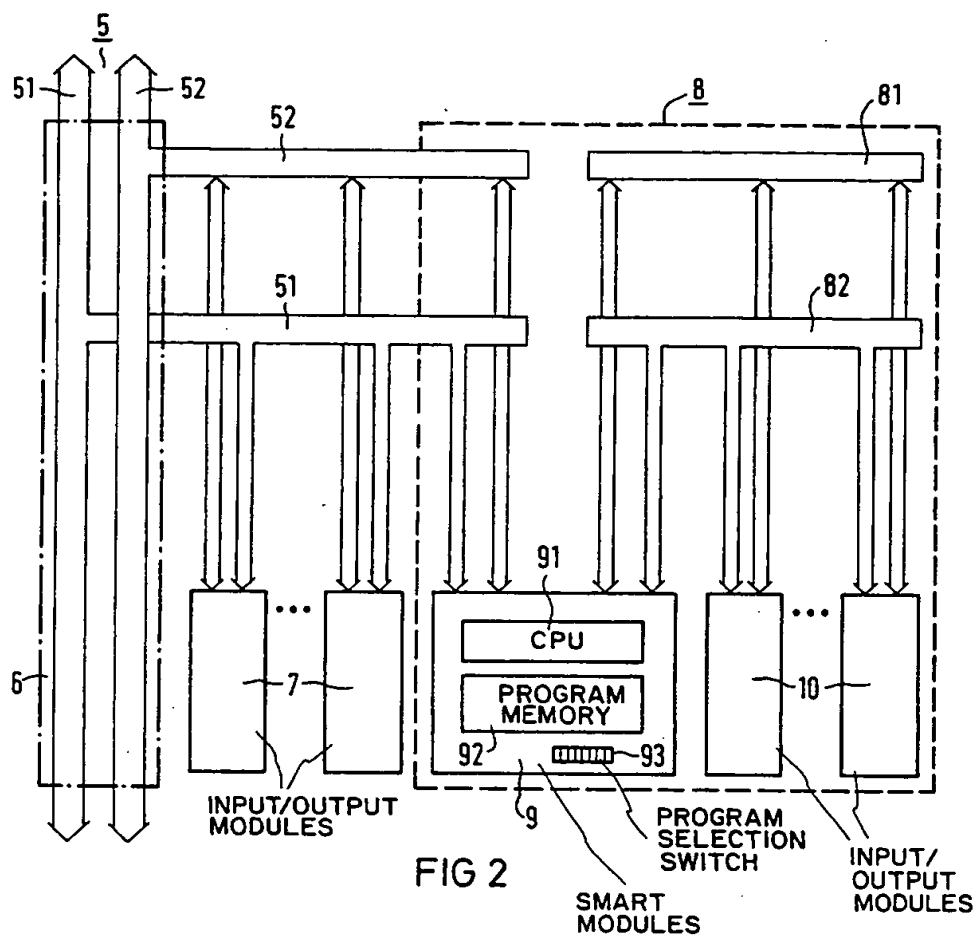


FIG 3



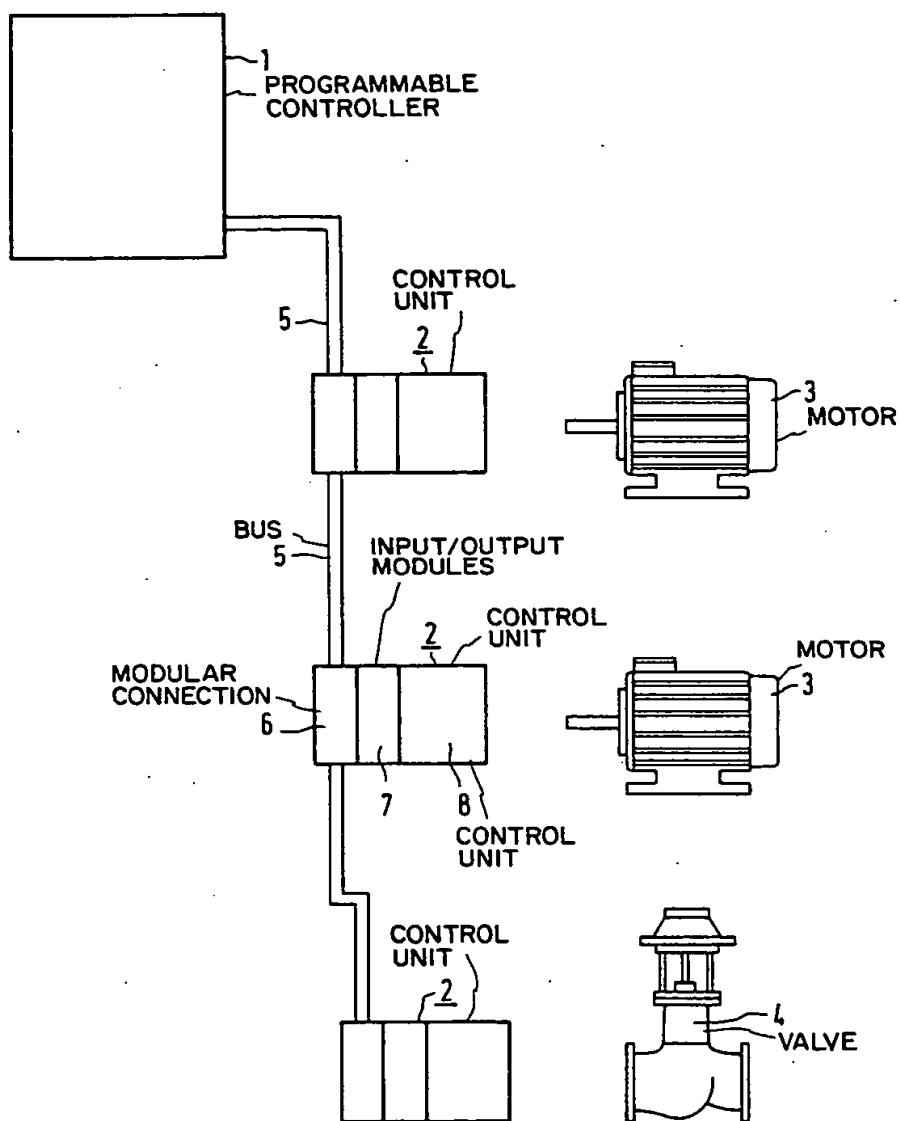


FIG 1

**United States Patent** [19]  
**Stöckel**

[11] **Patent Number:** **4,818,993**  
[45] **Date of Patent:** **Apr. 4, 1989**

[54] **ELECTRONIC CONTROL SYSTEM FOR CONTROLLING SEVERAL REMOTE DEVICES**

[75] **Inventor:** Günter Stöckel, Nuremberg, Fed. Rep. of Germany  
[73] **Assignee:** Siemens Aktiengesellschaft, Berlin and Munich, Fed. Rep. of Germany

[21] **Appl. No.:** 8,786

[22] **Filed:** Jan. 29, 1987

[30] **Foreign Application Priority Data**

Feb. 27, 1986 [DE] Fed. Rep. of Germany ..... 3606400

[51] **Int. Cl.<sup>4</sup>** ..... G05B 23/02

[52] **U.S. Cl.** ..... 340/825.060; 340/825.220

[58] **Field of Search** ..... 340/825.06, 825.07, 340/825.22, 825.23; 364/200

[56] **References Cited**

**U.S. PATENT DOCUMENTS**

3,965,335 6/1976 Ricci et al. .... 340/825.22  
4,100,601 7/1978 Kaufman et al. .... 364/200  
4,365,297 12/1982 Grisham, Jr. .... 364/200  
4,418,333 11/1983 Schwarzbach et al. .... 340/825.22

4,626,984 12/1986 Unruh et al. .... 340/825.06

**FOREIGN PATENT DOCUMENTS**

2559287 2/1984 France .

**OTHER PUBLICATIONS**

Reduzierung der Verkabelungskosten beim Automatisierungssystem Simatic S5 mit Elektronischer Klemmenleiste 484, Siemens-Energietechnik 6 (1984) Heft 2, pp. 54-59 (No Translation).

*Primary Examiner*—Donald J. Yusko

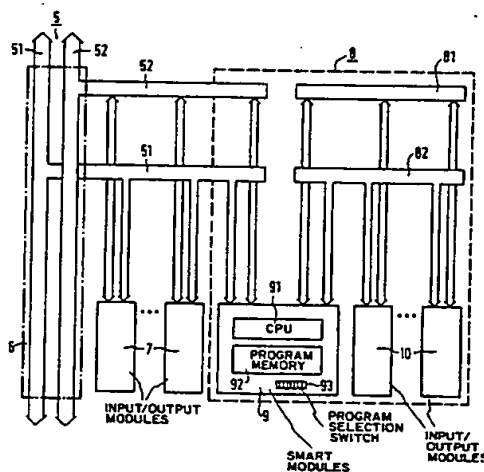
*Attorney, Agent, or Firm*—Kenyon & Kenyon

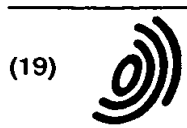
[57]

**ABSTRACT**

The invention relates to an electronic control device, in which subordinated individual control units (8) for individual control elements (3, 4) such as motors, are provided. Each individual control unit (8) has a separate module (9) with a processor (91) and a program memory (92), in which a number of control functions are stored. The respectively required function can be activated, for instance, by a selector switch (93).

**3 Claims, 3 Drawing Sheets**





Europäisches Patentamt  
European Patent Office  
Office européen des brevets



(11) EP 0 932 103 A1

(12) EUROPEAN PATENT APPLICATION

(43) Date of publication:  
28.07.1999 Bulletin 1999/30

(51) Int. Cl.<sup>6</sup>: G06F 13/10

(21) Application number: 98250026.6

(22) Date of filing: 27.01.1998

(84) Designated Contracting States:  
AT BE CH DE DK ES FI FR GB GR IE IT LI LU MC  
NL PT SE  
Designated Extension States:  
AL LT LV MK RO SI

• Hake, Hans-Hermann  
30163 Hannover (DE)  
• Keesen, Werner  
30173 Hannover (DE)

(71) Applicant:  
DEUTSCHE THOMSON-BRANDT GMBH  
78048 Villingen-Schwenningen (DE)

(74) Representative:  
Hartnack, Wolfgang, Dipl.-Ing.  
Deutsche Thomson-Brandt GmbH  
Licensing & Intellectual Property,  
Karl-Wiechert-Allee 74  
30625 Hannover (DE)

(72) Inventors:  
• Heighway, Timothy  
30167 Hannover (DE)

(54) Method and apparatus for transferring bi-directionally data between an IEEE 1394 bus and device

(57) The IEEE 1394 bus communication protocol has three layers: physical layer, link layer, and transaction layer. Typically, the transaction layer is realised by firmware whereas the other layers are implemented using chip sets. The link layer IC usually contains a FIFO having a capacity of e.g. 32k or 64k bits. Therefore, the link layer chip is the most costly part of a complete IEEE 1394 interface. Due to these cost reasons most ICs on the market are not bi-directional although the IEEE 1394 bus specification supports this feature. Incoming or outgoing data packets are intermediately stored in the FIFO. The current solution to this problem

is to have two separate IEEE 1394 bus nodes assigned to the same application, the two nodes including two physical layer ICs and two link layer ICs. The inventors have found that although the physical link layer interface is not designed for this purpose, it works correctly with up to three link layer ICs and one physical layer IC if the additional link layer IC/ICs is/are programmed respectively. Therefore two or more link layer ICs can operate together with one physical layer IC in one node wherein the link layer ICs are connected to the same application or device.

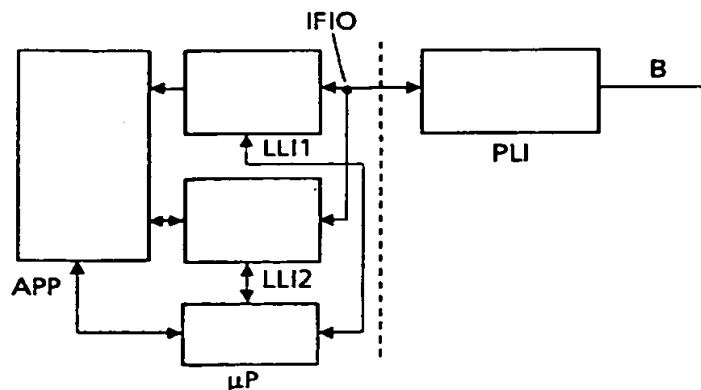


Fig.2

EP 0 932 103 A1

## Description

[0001] The present invention relates to a method and to an apparatus for transferring bi-directionally data between an IEEE 1394 bus and a device to be controlled by said bus.

## Background

[0002] The IEEE 1394 bus is a low cost, high performance serial bus. It has a read/write memory architecture and a highly sophisticated communication protocol. Data rates of 100, 200 or 400Mbit/s can be transmitted in nearly real time. Simultaneously, data can be transmitted bi-directionally. The first ten bits of transmitted address values refer to one of up to 1023 possible IEEE 1394 bus clusters. The following six bits of the transmitted address values refer within a specific cluster to one of up to 63 nodes to which an application or device is assigned. Data between nodes can be exchanged without interaction of a host controller. Devices can be connected to or disrupted from the network at any time, allowing a plug and play behaviour. The standardised cable connection for the nodes has a length of 4.5m and contains three twisted cable pairs of which two pairs serve for data and control information transmission and the further pair carries supply voltages of 8V to 40V. Three level coding is used: HIGH (H), LOW (L), and HIGH IMPEDANCE (Z). H overrides L, L overrides Z. The characteristic impedance is 110Ω. There is also a version IEEE 1394-1995 of the bus specification including only two twisted pairs of cables on which no power supply voltage is present. The communication protocol has three layers: physical layer, link layer, and transaction layer. Typically, the transaction layer is realised by firmware whereas the other layers are implemented using chip sets.

[0003] The physical layer contains analog transceivers and a digital state machine. It handles bus auto-configuration and hot plug. It reclocks, regenerates and repeats all packets and forwards all packets to the local link layer. It carries out-packet framing, for example speed code, prefix, and packet end assembling. It arbitrates and transmits packets from the local link layer. Available IC types are e.g. TSB11C01, TSB11LV01, TSB21LV03, and TSB41LV03 of Texas Instruments, MB86611 of Fujitsu, and 21S750 of IBM.

[0004] The link layer performs all digital logic. It recognizes packets addressed to the node by address recognition and decodes the packet headers. It delivers packets to higher layers and generates packets from higher layers. It works either isochronous for AV data use or asynchronous for control data use.

[0005] In the isochronous mode a channel having a guaranteed bandwidth is established. There is a defined latency. The transmission is performed in 125μs time slots or cycles. Headers and data blocks of a packet have separate CRCs (cyclic redundancy check). This

mode has a higher priority than the asynchronous data transfer mode.

[0006] The asynchronous mode is not time critical, but safe. It operates as an acknowledged service with a busy and retry protocol. Fixed addresses are used. Transmission takes place when the bus is idle. The asynchronous mode handles read request/response, write request/response, and lock request/response. It performs cycle control, CRC generation and validation. Available link layer IC types are e.g. TSB12C01A, TSB12LV21, TSB12LV31, and TSB12LV41 of Texas Instruments, and PDI1394L11 of Philips.

[0007] The transaction layer implements asynchronous bus transactions:

Read request/read response  
Write request/write response  
Lock request/lock response

As mentioned above it can be implemented by software running on a microcontroller, such as e.g. the i960 of SparcLite.

[0008] There may also be an AV (audio video) layer carrying out device control, connection management, timestamping, and packetising.

## Invention

[0009] The link layer IC usually contains a FIFO (first in first out) memory having a capacity of e.g. 32k or 64k bits and further buffers and adapts the data coming from the application to the requirements of the IEEE 1394 bus specification. Therefore, the link layer chip contains a lot of circuitry and is the most costly part of a complete IEEE 1394 interface. Due to these cost reasons most ICs on the market are not bi-directional although the IEEE 1394 bus specification supports this feature. Incoming or outgoing data packets are intermediately stored in the FIFO.

It is true that some link layer ICs are bi-directional, but for a lot of applications, e.g. video data operation, the memory size of such standard bi-directional link ICs is sufficient only for either transmission or reception of isochronous data at any one time. Therefore, in practice, such ICs can only be used in one direction, i.e. real-time bidirectional data transfer is not possible. A larger memory size was not chosen for such standard link ICs, because no necessity for real-time bi-directional data transfer was seen which would justify the additional costs.

[0010] The current solution to this problem is to have two separate IEEE 1394 bus nodes assigned to the same application, the two nodes including two physical layer ICs, two link layer ICs, two microcontrollers, and an additional cable connection, i.e. a quite complicated and expensive solution. The physical separation of the two nodes adds to the network latency and requires an additional cable hop. Because only 16 cable hops are

allowed in the IEEE 1394 bus specification the latter requirement can cause a significant drawback in some applications.

[0011] It is one object of the invention to disclose a method for combining widely available, and therefore cheap, unidirectional IEEE 1394 bus link layer ICs to form a bidirectional data transfer functionality for an IEEE 1394 bus interface representing only one IEEE 1394 bus node. This object is achieved by the method disclosed in claim 1 or 2.

[0012] It is a further object of the invention to disclose an apparatus which utilises the inventive method. This object is achieved by the apparatuses disclosed in claims 5 and 6.

[0013] The inventors have found, confirmed by simulations, that although the physical link layer interface is not designed for this purpose, it works correctly with up to three link layer ICs and one physical layer IC if the additional link layer IC/ICs is/are programmed respectively.

According to the invention, two or more link layer ICs operate together with one physical layer IC in one node wherein the link layer ICs are connected to the same application or device. Advantageously, all link layer ICs, the physical layer IC and the application can be controlled by a single microcontroller performing e.g. software control and bus management. Link ICs can be selectively addressed using e.g. a unique I2C bus address or host chip enable.

[0014] The invention allows simultaneous real-time input and output of data packets or simultaneous input of two data packets, e.g. the reception of a video channel and an audio channel or the reception of two video channels, for instance for PIP (picture-in-picture) purposes.

[0015] In principle, the inventive method is suited for transferring bi-directionally data between an IEEE 1394 bus and a device to be controlled by said bus, wherein for interfacing between the bus and said device a physical layer IC and a first link layer IC is used and wherein a second link layer IC is also in operation which is connected on one side to the interface input/output of said first link layer IC and on the other side to said device, wherein said first link layer IC performs input and output of bus-related data and said second link layer IC performs either input or output of bus-related data or

wherein said first link layer IC performs input of first bus-related data and said second link layer IC performs input of second bus-related data and wherein said first and second bus-related data belong to different data streams, in particular two video data streams or one video and one audio data stream.

[0016] Advantageous additional embodiments of the inventive method are disclosed in the respective dependent claims.

[0017] In principle the inventive apparatus is suited for transferring bi-directionally data between an IEEE 1394

bus and a device to be controlled by said bus, and includes:

- a physical layer IC and a first link layer IC for interfacing between the bus and said device;
- a second link layer IC which is connected on one side to the interface input/output of said first link layer IC and on the other side to said device, wherein said first link layer IC performs input and output of bus-related data and said second link layer IC performs either input or output of bus-related data, or wherein said first link layer IC performs input of first bus-related data and said second link layer IC performs input of second bus-related data and said first and second bus-related data belong to different data streams, in particular two video data streams or one video and one audio data stream.

[0018] Advantageous additional embodiments of the inventive apparatus are disclosed in the respective dependent claim.

#### Drawings

[0019] Embodiments of the invention are described with reference to the accompanying drawings, which show in:

- Fig. 1 known IEEE 1394 double-node for bi-directional real-time video applications;
- Fig. 2 IEEE 1394 node for bi-directional real-time video applications according to the invention;
- Fig. 3 the IEEE 1394 node of Fig. 2 in more detail, including a capacitive isolation barrier;
- Fig. 4 an IEEE 1394 bus-connected set-top box, VCR and DVD player;
- Fig. 5 IEEE 1394 node for bi-directional real-time video applications according to a further embodiment of the invention.

#### Embodiments

[0020] In Fig. 1 a first physical layer IC PLI1 is connected via an IEEE 1394 bus cable connection to a second physical layer IC PLI2 which itself is also connected to the further IEEE 1394 bus cable B. PLI1 is at the other side assigned to a first link layer IC LLI1 for data input, and PLI2 is assigned to a second link layer IC LLI2 for data output. LLI1 and LLI2 are both assigned to the same application device APP. LLI1 and PLI1 via LLI1 are controlled by a first microcontroller  $\mu P1$ . LLI2 and PLI2 via LLI2 are controlled by a second microcontroller  $\mu P2$ . Application device APP can be controlled by  $\mu P1$  and  $\mu P2$ , or by one of them. In both cases  $\mu P1$  and  $\mu P2$  may interact with each other (not depicted).

[0021] In Fig. 2 a single physical layer IC PLI is con-

nected to the IEEE 1394 bus cable B. PLI is at the other side assigned to a first link layer IC LLI1 for e.g. data input and to a second link layer IC LLI2 for data output and e.g. additionally data input. LLI1 and LLI2 are both assigned to the same application device APP. Advantageously, LLI1, LLI2, PLI via LLI1 or LLI2, and APP can all be controlled by a single mi

**[0022]** crocontroller  $\mu$ P. One more detailed configuration where the inventive bidirectional mode can be used, would be as in Fig. 3, where the first link IC LLI1 supports both input and output modes, and the second link IC LLI2 supports input (from the IEEE 1394 bus) only. This would be the simplest type of configuration for a bi-directional behaviour with multiple link layer ICs and one physical layer IC PLI. Fig. 3 depicts the main circuitry in PLI and LLI1/LLI2 for data exchange. Advantageously the components behind the dashed lines in LLI2 can be omitted or not used.

With the setup as in Fig. 3, only LLI1 would be able to be the cycle master on the bus. This means that cycle start packets would be sent directly from LLI1 to LLI2 via interface input/output IFIO and pad to pad connection PTPC. A simplification for LLI2 would be that the IEEE 1394-standardised link request pin LREQ (not depicted) to request the bus for transmission would not be required, as this IC is input only.

As mentioned above, simulations have shown that the capacitive isolation barrier feature of IEEE 1394 functions correctly with up to three link layer ICs and one physical layer IC. This isolation barrier is explained in detail in US-A-5 384 808 and uses the following component values:

Between physical power PPO and physical ground PGND a chain of two 5k $\Omega$  resistors R6 and R7 is arranged. Between link power LPO and link ground LGND a chain of two 5k $\Omega$  resistors R1 and R2 is arranged. PLI is connected to the R6/R7 junction and LLI1/LLI2 are connected to the R1/R2 junction. Between the R1/R2 junction and the R6/R7 junction a chain of C1/1nF, R3/100 $\Omega$ , R5/100 $\Omega$ , and C2/1nF is inserted. From the R3/R5 junction a resistor R4/300 $\Omega$  is connected to PGND.

Other versions of this PLI/LLI connecting circuitry are possible.

In this isolation barrier no appreciable degradation of logic levels occurs with the capacitive load of one or two extra link layer ICs on the pads of link A.

An additional addressing of each link layer IC can be achieved by a minor addition to a standard link layer IC design. An extra channel number register and comparator are required per extra link layer IC used, so that data streams can be addressed to a particular link layer IC. Other configurations can also be used, for example two link layer ICs and one physical layer IC with both link layer ICs having input and output functionality.

**[0023]** The invention can e.g. be used for an application as depicted in Fig. 4: A set-top box STB with receiving unit RU, MPEG decoder MDEC and IEEE 1394

interface 1394S receives a digital TV program via satellite or cable. The receiving unit output signal is transmitted via IEEE 1394 bus for the purpose of recording to a video recorder VCRR including also a IEEE 1394 interface 1394V. Simultaneously, a DVD player DVDP replays a DVD disc and the DVD data is also transported via an IEEE 1394 bus interface 1394D to the IEEE 1394 bus interface 1394S of the set-top box in order to be decoded by the MPEG decoder MDEC and to be displayed on the screen of a television receiver TV. TV may still have an analog signal connection to the set-top box, but may also be connected to STB by an IEEE 1394 bus interface. So, the set-top box IEEE 1394 bus node 1394S needs a bi-directional functionality.

**[0024]** The further embodiment of Fig. 5 shows the connection of a single physical layer IC PLI to a slightly modified first link layer IC LLI1 for data output and e.g. additionally data input, and to a correspondingly modified second link layer IC LLI2 for data input, i.e. receive mode. LLI1 and LLI2 each include five registers REG1 to REG5 and a multiplexer or switch MUX which is controlled by a signal SW which determines whether the specific IC operates in the data receiving mode.

LLI1 and LLI2 have an additional control signal input CTLIN and two additional outputs DOUT for data and CTLOUT for the control signal. Bus control signal CTL passes through registers REG2 and REG4 and output CTLOUT of LLI1 to CTLIN of LLI2. Then it passes REG5 and MUX and is thereafter available within LLI2 as internal control signal CTL\_INT. From the output of REG2 of LLI1 it is also fed to MUX and is thereafter available within LLI1 as internal control signal CTL\_INT. Bus data signal D passes via input DIN through registers REG1 and REG3 and output DOUT of LLI1 to DIN of LLI2. At the output of REG1 of LLI1 and LLI2 the internal bus data signal D\_INT is available within LLI1 and within LLI2.

The bus link request signal LREQ is coming from LLI1 only. Bus clock SCLK is distributed to both, LLI1 and LLI2. D, CTL, LREQ, and SCLK can be transferred between PLI and LLI1 via an isolation circuitry IS.

**[0025]** LLI1 and LLI2 are both assigned to the same application device.

## Claims

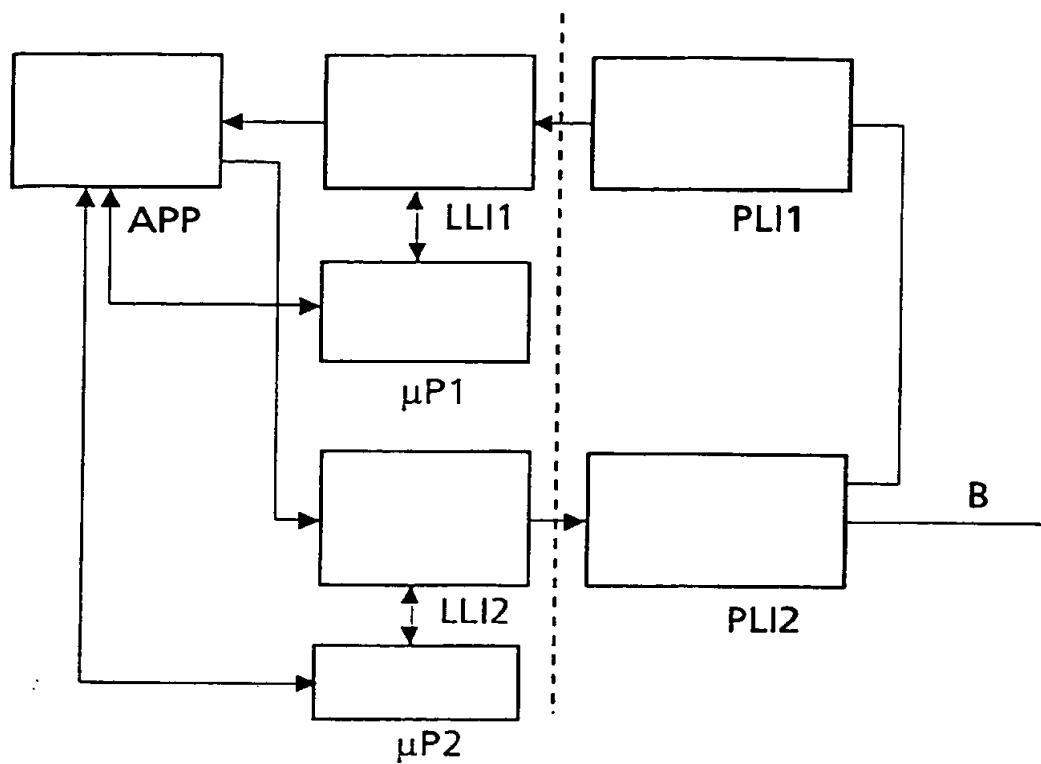
1. Method for transferring bi-directionally data between an IEEE 1394 bus (B) and a device (APP) to be controlled by said bus, wherein for interfacing between the bus and said device a physical layer IC (PLI1, PLI) and a first link layer IC (LLI1) is used, characterised in that a second link layer IC (LLI2) is also in operation which is connected on one side to the interface input/output (IFIO) of said first link layer IC and on the other side to said device, wherein said first link layer IC performs input and output of bus-related data and said second link layer IC performs either input or output of bus-



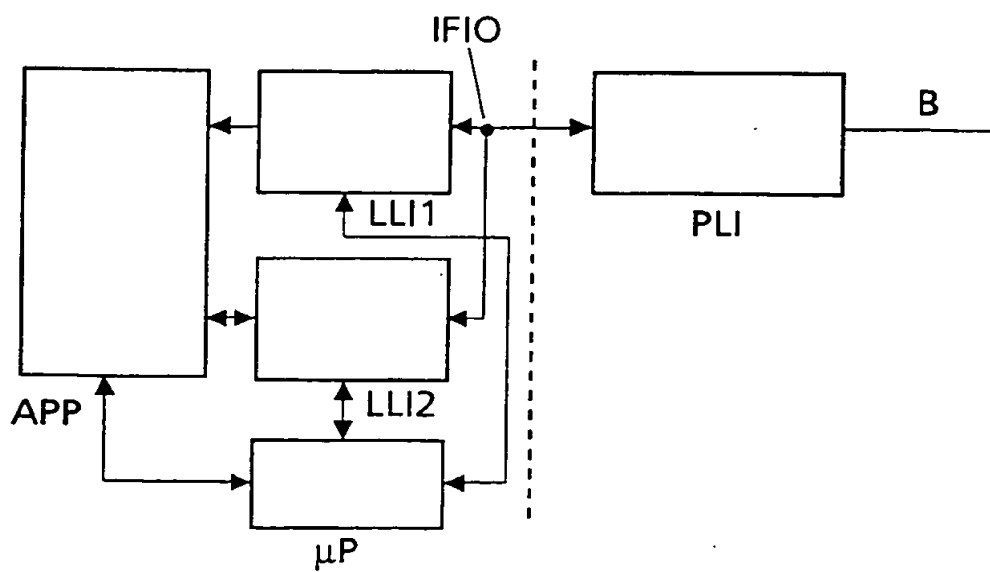
related data.

stream.

2. Method for transferring bi-directionally data between an IEEE 1394 bus (B) and a device (APP) to be controlled by said bus, wherein for interfacing between the bus and said device a physical layer IC (PLI1, PLI) and a first link layer IC (LLI1) is used, characterised in that a second link layer IC (LLI2) is also in operation which is connected on one side to the interface input/output (IFIO) of said first link layer IC and on the other side to said device, wherein said first link layer IC performs input of first bus-related data and said second link layer IC performs input of second bus-related data and wherein said first and second bus-related data belong to different data streams, in particular two video data streams or one video and one audio data stream. 5 10 15
3. Method according to claim 1 or 2, wherein at least one further link layer IC is connected and operated in parallel with said second link layer IC. 20
4. Method according to any of claims 1 to 3, wherein said first and said second and/or said further link layer ICs are controlled by one microcontroller ( $\mu$ P). 25
5. Apparatus for transferring bi-directionally data between an IEEE 1394 bus (B) and a device (APP) to be controlled by said bus, including: 30
  - a physical layer IC (PLI1, PLI) and a first link layer IC (LLI1) for interfacing between the bus and said device;
  - a second link layer IC (LLI2) which is connected on one side to the interface input/output (IFIO) of said first link layer IC and on the other side to said device, wherein said first link layer IC performs input and output of bus-related data and said second link layer IC performs either input or output of bus-related data. 35 40
6. Apparatus for transferring bi-directionally data between an IEEE 1394 bus (B) and a device (APP) to be controlled by said bus, including: 45
  - a physical layer IC (PLI1, PLI) and a first link layer IC (LLI1) for interfacing between the bus and said device;
  - a second link layer IC (LLI2) which is connected on one side to the interface input/output (IFIO) of said first link layer IC and on the other side to said device, wherein said first link layer IC performs input of first bus-related data and said second link layer IC performs input of second bus-related data and wherein said first and second bus-related data belong to different data streams, in particular two video data streams or one video and one audio data 50 55
7. Apparatus according to claim 5 or 6, wherein said first and said second link layer IC is controlled by one micro-controller ( $\mu$ P).



**Fig.1**



**Fig.2**

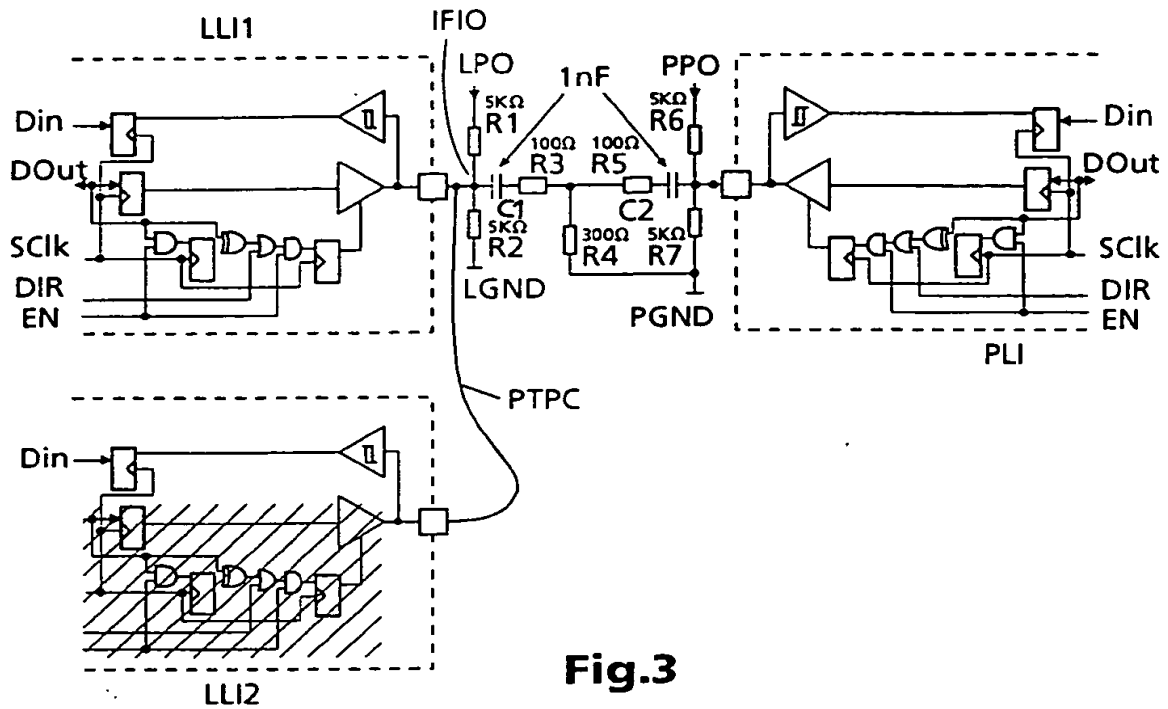


Fig.3

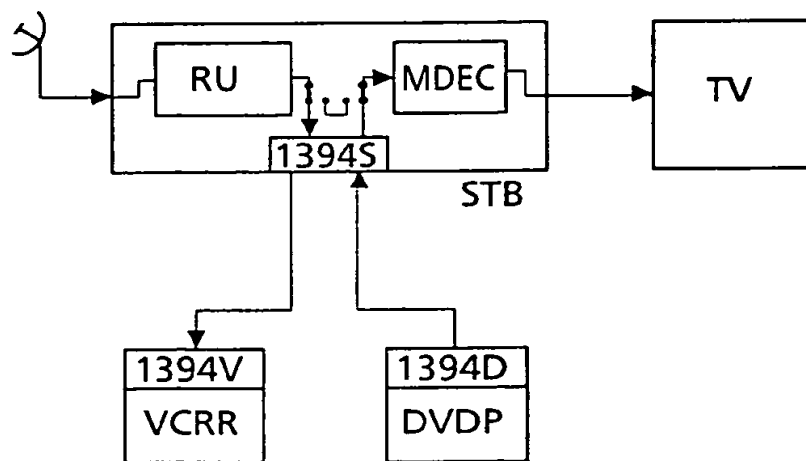


Fig.4

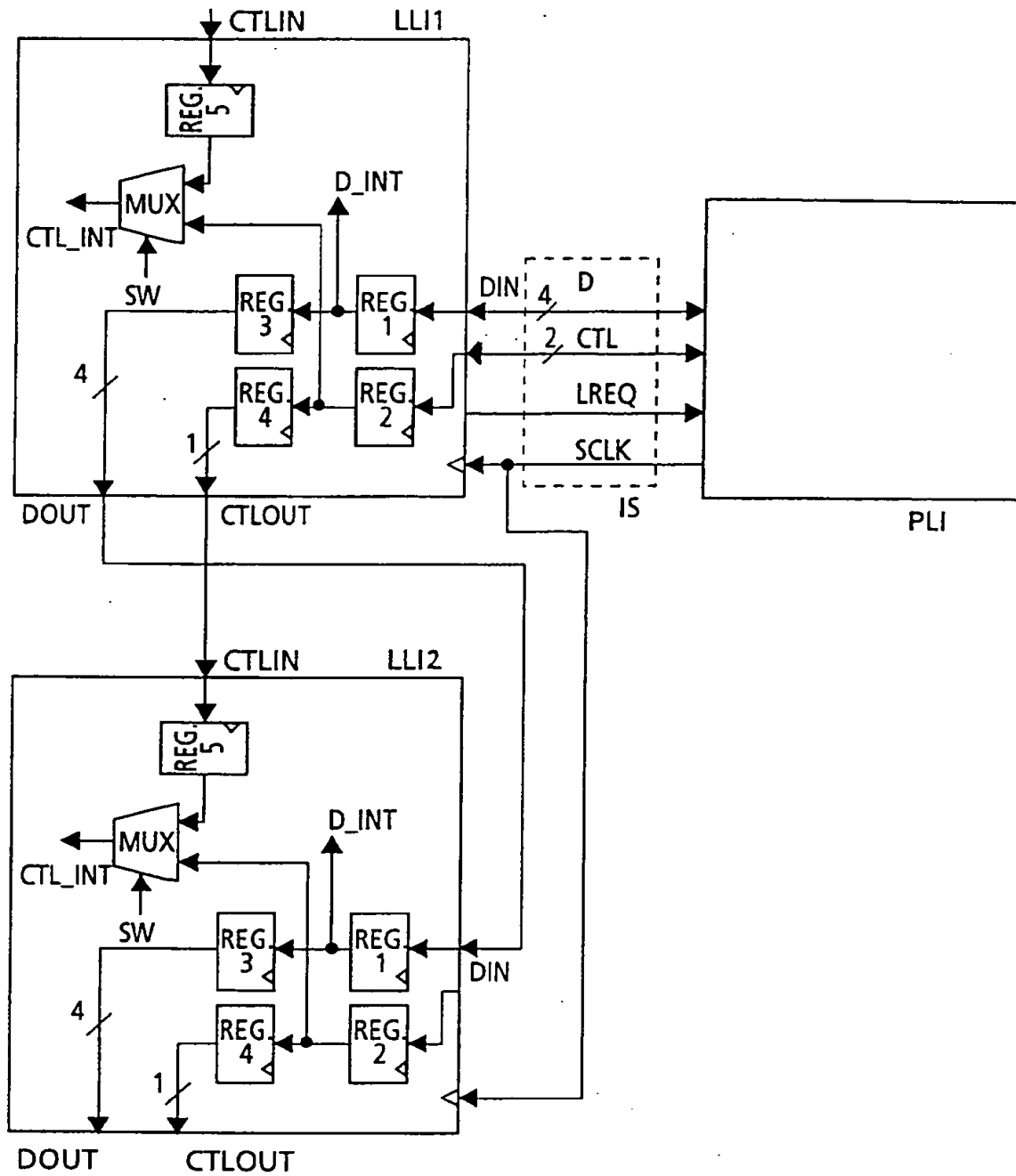


Fig.5



European Patent  
Office

# EUROPEAN SEARCH REPORT

Application Number  
EP 98 25 0026

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (Int.Cl.6)
X	WO 97 28504 A (SONY ELECTRONICS INC ;SNYERS SCOTT D (US); FAIRMAN BRUCE (US)) 7 August 1997 * page 2, line 1 - line 29 * * page 8, line 19 - page 11, line 15 * * page 17, line 6 - page 18, line 24 * * abstract; claims 1-3; figures 1,4 *	1,2,5	G06F13/10
A	US 5 579 486 A (OPRESCU FLORIN ET AL) 26 November 1996 * column 1, line 28 - column 2, line 26 * * column 3, line 49 - column 4, line 14 * * column 5, line 60 - column 7, line 15 *	1-7	
A	EP 0 784 401 A (TOKYO SHIBAURA ELECTRIC CO) 16 July 1997 * column 7, line 15 - column 8, line 40 * * abstract; figure 5 *	1-7	
The present search report has been drawn up for all claims			TECHNICAL FIELDS SEARCHED (Int.Cl.6)
			G06F
Place of search		Date of completion of the search	Examiner
THE HAGUE		29 June 1998	NGUYEN XUAN HIEP C.
<p>CATEGORY OF CITED DOCUMENTS</p> <p>X : particularly relevant if taken alone  Y : particularly relevant if combined with another document of the same category  A : technological background  O : non-written disclosure  P : intermediate document</p> <p>T : theory or principle underlying the invention  E : earlier patent document, but published on, or after the filing date  D : document cited in the application  L : document cited for other reasons  &amp; : member of the same patent family, corresponding document</p>			

EPO FORM 1503 03 82 (P4/C01)

**This Page Blank (uspto)**